

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Requested Patent: JP2144986A  
Title: HIGH DENSITY PACKAGE ;  
Abstracted Patent: JP2144986 ;  
Publication Date: 1990-06-04 ;  
Inventor(s): TAKETOMI TAKESHI ;  
Applicant(s): NEC CORP ;  
Application Number: JP19880298369 19881128 ;  
Priority Number(s): ;  
IPC Classification: H05K1/14 ; H01R9/09 ; H01R23/68 ;  
Equivalents:

**ABSTRACT:**

**PURPOSE:**To enable high density packaging with three dimensional arrangement of electronic circuit parts by providing a plurality of vertical wiring boards having a slit at each side edge thereof and installed vertically with horizontal spacing therebetween on a base wiring board, and horizontal wiring boards each of which is held so that a part thereof facing the slit.

**CONSTITUTION:**A multiplicity of electronic circuit parts 12 and input/output pins 13 are provided on the top and bottom surfaces of a base wiring board 11. A plurality of vertical wiring boards 14 are mounted to the base wiring board 11 via fixed joint 15, and installed vertically with horizontal spacing, and each side edge thereof is provided with a slit 16 whose opening facing in the same direction. Horizontal wiring boards 17, each of which has a part facing the slit 16, are held relative to and connected by connectors 18 to the vertical wiring boards 14, and many electronic circuit parts 19 are provided on their one surface sides. The connectors 18 for connecting the horizontal wiring boards 17 and the vertical wiring boards 14 to each other achieve the connection by pressing electrically conductor 20 consisting of film patterns against both wiring boards 14, 17. In this construction of a package, three dimensional arrangement of the electronic circuit parts 12, 19 can be effected relative to the base wiring board 11.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-144986

⑫ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月4日

H 05 K 1/14  
H 01 R 9/09  
23/68

E 8727-5E  
C 6901-5E  
Z 6901-5E  
3 0 3

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 高密度パッケージ

⑮ 特 願 昭63-298369

⑯ 出 願 昭63(1988)11月28日

⑰ 発 明 者 武 富 剛 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 山川 政樹 外2名

## 明 細 書

### 1. 発明の名称

高密度パッケージ

### 2. 特許請求の範囲

その表裏両面にピンと電子回路部品を多数個有するベース配線板と、このベース配線板に実装されかつ水平方向に間隔をもって立設されその各側縁に同一方向に開口するスリットを有する複数の垂直配線板と、これら垂直配線板にその一部が前記スリットに臨むように保持されかつコネクタによって接続された水平配線板とを備えたことを特徴とする高密度パッケージ。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えば大規模集積回路(LSI)等の電子回路をパッケージングして使用する高密度パッケージに関する。

(従来の技術)

近年、LSIチップの高集積化、高速化に伴い、電子回路装置を小型で高機能にする要求から高密

度パッケージによって実装の高密度化が進んできている。

従来、この種の高密度パッケージは第3図に示すように構成されている。これを同図に基づいて説明すると、同図において、符号1で示すものはその表裏両面に入出力用のピン2とLSI等の電子回路部品3を有する配線基板である。

(発明が解決しようとする課題)

ところで、従来の高密度パッケージにおいては、配線基板1の片面にのみ電子回路部品3を実装するもの、すなわち電子回路部品3の実装を2次元配置するものであるため、同一平面内に実装可能な電子回路部品数が制約を受け、近年における電子回路の高集積化に伴う電子回路部品3の高密度実装化に応じることができないという問題があった。

本発明はこのような事情に鑑みてなされたもので、ベース配線基板に対して電子回路部品を3次元配置することができ、もって近年における電子回路の高集積化に伴う電子回路部品の高密度実装

化に応じることができる高密度パッケージを提供するものである。

(課題を解決するための手段)

本発明に係る高密度パッケージは、表裏面側にピンと電子回路部品を有するベース配線板と、このベース配線板に実装されかつ水平方向に間隔をもって立設されその各側縁に同一方向に開口するスリットを有する複数の垂直配線板と、これら垂直配線板にスリットに一部が臨むように保持されかつコネクタによって接続された水平配線板とを備えたものである。

(作用)

本発明においては、ベース配線板のみならず垂直配線板および水平配線板に多数の電子回路部品を実装することができる。

(実施例)

以下、本発明の構成等を図に示す実施例によって詳細に説明する。

第1図(a)および(b)は本発明に係る高密度パッケージを示す斜視図とそのb-b線断面図である。

記両配線板14、17を結合する保持金具で、前記コネクタ18(バー21)に対して装着されている。なお、図中符号24および25はサブストレート(垂直配線板14、水平配線板17)に形成されたプリントパターンである。

このように構成された高密度パッケージにおいては、ベース配線板11のみならず垂直配線板14および水平配線板17に多数の電子回路部品12、19を実装することができる。すなわち、これら電子回路部品12、19をベース配線板11に対して3次元配置することができるのである。

なお、本実施例においては、2個の垂直配線板14に対して1個の水平配線板17を保持する場合を示したが、本発明はこれに限定されるものではなく、第2図に示すように複数の水平配線板17を保持することにより一層高密度実装化を図ることができる。

また、本実施例においては、各配線板14、17の片面側に電子回路部品19(一方のみ図示)を実装する例を示したが、本発明は両面側に実装すれば

同図において、符号11で示すものは多層構造をもつベース配線板で、表裏面側に多数の電子回路部品12と入出力用ピン13が設けられている。14は電子回路部品(図示せず)を搭載可能なスペースを有する複数の垂直配線板で、前記ベース配線板11に対し固定接続体15を介して実装され、かつ水平方向に間隔をもって立設されており、各側縁には同一の方向に開口するスリット16が形成されている。17はその一部が前記スリット16に臨む水平配線板で、前記垂直配線板14に対して保持され、かつコネクタ18によって接続されており、一方面側には多数の電子回路部品19が設けられている。この水平配線板17と前記垂直配線板14を接続するコネクタ18は、両配線板14、17を接続するフィルムパターンからなる導電体20と、この導電体20を両配線板14、17に圧接する圧接用のバー21と、このバー21と導電体20との間に介在するエラストック絶縁体22とによって構成されている。また、前記固定接続体15にはメタライズパターンが形成されたフィルム接続体によって構成されている。23は前

さらに高密度実装化を実現することができる。

また、本実施例においては、2個の垂直配線板14を使用する例を示したが、本発明は垂直配線板14を増加すればベース配線板11との電気的パスを最短化することができる。

さらに、本発明においては、固定接続体15のみならずコネクタ18を例えばメタライズパターンを有するフィルム接続体によって構成することによりインピーダンス整合が可能となり、高速信号伝送化を実現することができる。

因に、本発明における高密度パッケージを組み立てるには、ベース配線板11に対して垂直配線板14を実装し、次にこの垂直配線板14に水平配線板17を実装した後、コネクタ18によって各配線板14、17を互いに接続してから、このコネクタ18に保持金具23を装着することにより行う。

(発明の効果)

以上説明したように本発明によれば、表裏面側にピンと電子回路部品を有するベース配線板と、このベース配線板に実装されかつ水平方向に間隔

をもって立設されその各側縁に同一方向に開口するスリットを有する複数の垂直配線板と、これら垂直配線板にスリットに一部が臨むように保持されかつコネクタによって接続された水平配線板とを備えたので、ベース配線板に対して電子回路部品を3次元配置することができ、近年における電子回路の高集積化に伴う電子回路部品の高密度実装化に応じることができる。

#### 4. 図面の簡単な説明

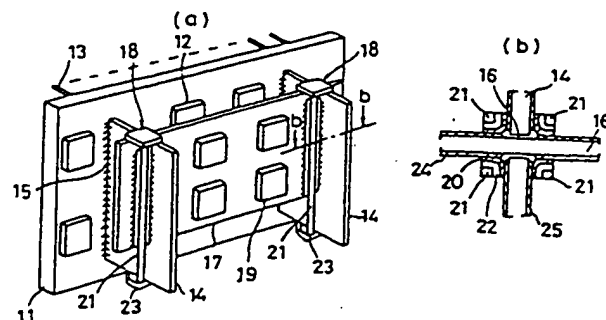
第1図(a)および(b)は本発明に係る高密度パッケージを示す斜視図とそのb-b線断面図、第2図は同じく本発明における応用例を示す正面図、第3図は従来の高密度パッケージを示す正面図である。

11・・・ベース配線板、12・・・入出力用ピン、13・・・電子回路部品、14・・・垂直配線板、16・・・スリット、17・・・水平配線板、18・・・コネクタ。

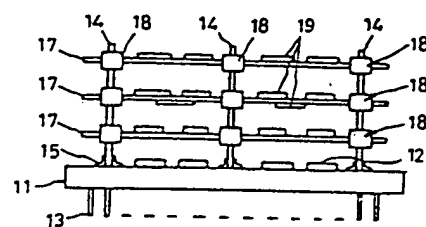
特許出願人 日本電気株式会社

代理人 山川 政 樹 (ほか2名)

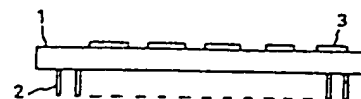
第1図



第2図



第3図



## ⑫ 公開特許公報(A)

平2-239651

⑤ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月21日

H 01 L 25/10  
23/28

J

6412-5F  
7638-5F

H 01 L 25/14

Z※

審査請求 未請求 請求項の数 3 (全10頁)

⑭ 発明の名称 半導体装置およびその実装方法

⑮ 特 願 平1-60436

⑯ 出 願 平1(1989)3月13日

⑰ 発 明 者 秋 間 勇 夫 東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイ・エンジニアリング株式会社内

⑱ 発 明 者 国 戸 絵 一 東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイ・エンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立超エル・エス・ア 東京都小平市上水本町5丁目20番1号  
イ・エンジニアリング  
株式会社

⑳ 代 理 人 弁理士 筒井 大和  
最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体装置およびその実装方法

## 2. 特許請求の範囲

1. 半導体チップを収容するパッケージの一面に凸部を形成し、かつ他面に凹部を形成するとともに、前記凸部、および凹部の形成されたパッケージ面に前記半導体チップと導通する外部端子を配置することによって、一のパッケージの前記凸部と、他のパッケージの前記凹部とを嵌め合わせ、これらパッケージの同一信号、および同一電源電圧用の外部端子同士を導通させるパッケージ構造を備えることを特徴とする半導体装置。

2. 請求項1記載の半導体装置を配線基板上に複数実装する際、前記一のパッケージの凸部と他のパッケージの凹部とを嵌合することによって、これらパッケージを備える半導体装置同士を着脱自在に接合することを特徴とする半導体装置の実装方法。

3. 請求項1記載の半導体装置を配線基板上に複数実装する際、前記パッケージ同士を嵌合することによって、これらパッケージを備える半導体装置を配線基板の実装面に対して垂直な方向に積み重ねることを特徴とする半導体装置の実装方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置技術に関し、特に、半導体チップを収容するパッケージ構造技術に関するものである。

〔従来の技術〕

近年、電子装置の小形化、高機能化の観点から、配線基板上に実装されるLSIパッケージの高密度実装化が進められている。そして、LSIパッケージの高密度実装化に伴い、LSIパッケージには、LSIチップを外部環境から保護したり、LSIチップのハンドリングを可能にしたりするという基本的な機能の他に高密度実装化のための様々な機能が要求されている。

LSIパッケージ構造については、日経マイクロヒル社発行、「日経エレクトロニクス別冊№2. マイクロデバイスズ、1984年6月11日」P129～168に記載があり、DIPに代表されるピン挿入形のパッケージやQFPやSOJに代表される面実装形のパッケージについて、それらの構造やそれらを構成するパッケージ材料等、様々な角度から多様化するパッケージ構造について説明されている。

ところで、従来、このようなLSIパッケージを配線基板上に実装するには、片面、両面いずれの実装方式でも、複数のLSIパッケージを配線基板の平面上、水平方向に実装していた。

〔発明が解決しようとする課題〕

ところが、複数のLSIパッケージを配線基板の平面上、水平方向に実装する従来の技術においては、実装が水平方向に展開されるため、LSIパッケージの大面積化、配線基板に構成される回路機能の拡張、あるいは記憶容量の増加に伴って、配線基板の面積も大面積化しなければならなかつ

た。一面に凸部を形成し、かつ他面に凹部を形成するとともに、前記凸部、および凹部の形成されたパッケージ面に前記半導体チップと導通する外部端子を配置することによって、一のパッケージの前記凸部と、他のパッケージの前記凹部とを嵌め合わせ、これらパッケージの同一信号、および同一電源電圧用の外部端子同士を導通させるパッケージ構造を備える半導体装置である。

また、半導体装置を配線基板上に複数実装する際、前記一のパッケージの凸部と他のパッケージの凹部とを嵌合することによって、これらパッケージを備える半導体装置同士を着脱自在に接合する半導体装置の実装方法である。

さらに、半導体装置を配線基板上に複数実装する際、前記パッケージ同士を嵌合することによって、これらパッケージを備える半導体装置を配線基板の実装面に対して垂直な方向に積み重ねる半導体装置の実装方法である。

〔作用〕

上記した第1の手段によれば、複数の半導体装

た。

また、配線基板上に回路が構成された後、その配線基板の回路機能を拡張したり、あるいはメモリ製品であれば記憶容量を増加させたりすることはできなかった。したがって、例えばメモリ製品の場合、記憶容量を増加させるには、複数の配線基板を用意しなければならず、配線基板を組み込む電子装置も大形化していた。

本発明は上記課題に着目してなされたものであり、その目的は、LSIパッケージの実装密度を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、半導体チップを収容するパッケージ

置を、各半導体装置を構成するパッケージ同士が密着した状態で導通させることができるため、半導体装置間の間隔が短くなり、実装密度を向上させることが可能となる。

第2の手段によれば、半導体装置の着脱が可能になるため、故障した半導体装置のみを取り替えたり、半導体装置の着脱により回路機能や記憶容量等を適宜変えたりすることが可能となる。

第3の手段によれば、半導体装置の実装が、配線基板の実装面に対して水平方向に展開されるのみならず、実装面に対して垂直な方向にも展開されるため、従来と同じ実装面積であっても従来よりも実装数を増加させることが可能である。

〔実施例1〕

第1図は本発明の一実施例である半導体装置のパッケージ外観を示す斜視図、第2図は第1図のⅡ-Ⅱ線断面図、第3図はこの半導体装置を複数積み重ねた状態を示す断面図、第4図はこの半導体装置を配線基板上に実装した状態を示す斜視図、第5図は配線基板上における半導体装置の積み重

ね状態を示す斜視図である。

まず、本実施例1の半導体装置の構造を第1図～第3図により説明する。

本実施例1の半導体装置1aは、第1図に示すように、パッケージ2aの上面の中央部に、例えば四角柱状の凸部3aが形成され、かつ第2図に示すように、パッケージ2aの裏面に凹部4aが形成された樹脂モールド型のパッケージ構造となっている。

凸部3aの形成されたパッケージ2aの上面には、42アロイ等からなる複数の外部リード（外部端子）5aがパッケージ2aの周辺方向に沿って並設されている。そして、これら外部リード5aは、パッケージ2aの側面に沿って垂直に折曲し、さらに凹部4aの形成されたパッケージ2aの裏面に「J」字状に回り込み、その先端がパッケージ2aの裏面に形成された溝部6aに保持されている。

一方、第2図に示すように、外部リード5aと一体成型されてなる内部リード7は、パッケージ

2aの内部に埋設されており、その一端は、金、あるいは銅等からなるボンディングワイヤ8を介して所定の集積回路が構成された半導体チップ9の図示しないボンディングパッドと電氣的に接続されている。この半導体チップ9は、例えばエポキシ樹脂からなる接合剤10により、42アロイ等からなるダイパッド11上に接合されている。

パッケージ2aの上記した凹部4aは、このパッケージ2aと同一形状の他のパッケージ2aの凸部3aを嵌め合わせた際、その凸部3aを保持できる形状、および寸法となっているため、第3図に示すように、各パッケージ2aの凸部3aと凹部4aとを嵌合して固定し、複数の半導体装置1a、1a同士を積み重ねることが可能な構造となっている。

そして、本実施例1の半導体装置1aは、同一信号、および同一電源電圧用の外部リード5aの一部がパッケージ2aの上面と、パッケージ2aの裏面とに配置されているため、複数の半導体装置1a、1aをパッケージ2aの高さ方向に積み

重ねた際、各半導体装置1aの同一の外部リード5a、5a同士が電氣的に接続される構造となっている。

なお、パッケージ2aの上面の一隅には、複数のパッケージ2a、2a同士を積み重ねる際、極性や接続する外部リード5a、5a同士を間違えないように、目印Mが割設されている。

このようなパッケージ構造の半導体装置を製造するには、例えば次のようにする。

すなわち、まず、リードフレームにおけるダイパッド11上に半導体チップ9を接合し、半導体チップ9のボンディングパッドとリードフレームの内部リード7とをワイヤボンディング8によって接合した後、このリードフレームを所定の金型に収めて半導体チップ9を樹脂によってモールドしパッケージ2aを形成する。

次いで、樹脂が硬化した後、樹脂から露出する外部リード5aを所定長で切断し、パッケージ2aを上記リードフレームの外枠から分離した後、外部リード5aをパッケージ2aの側面に沿って

垂直に折曲し、さらにパッケージ2aの裏面に形成された溝部6aで保持させる。

次に、本実施例1の半導体装置1の実装方法を第4図、および第5図により説明する。なお、配線基板のランド上に半導体装置1aを実装する方法（第4図により説明）は従来技術と同じである。

まず、配線基板12上にメタルマスクを用いた印刷方式等によりクリームはんだ（図示せず）を塗布し、その後、半導体装置1aをバキューム・ピックアップ（図示せず）等により吸着し、この半導体装置1aの外部リード5aと配線基板12のランド13とを位置合わせした状態で、この半導体装置1aを上記したクリームはんだに軽く押し込む。なお、半導体装置1aの吸着、およびクリームはんだへの押し込み等は、例えば全てプログラム・コントロールにより自動的に行われる。

その後、リフローはんだ付け法、あるいはVPS（Vapor Phase reflow Soldering）法等により、はんだを溶かしはんだ付けを行い、配線基板12上に半導体装置1aを実装する（第4図）。



次に、配線基板12に実装された半導体装置1aのパッケージ2aの目印M(第4図 照)と、その上に積み重ねて実装する半導体装置1aのパッケージ2aの目印Mとを合わせた状態で、下方のパッケージ2aの凸部3aと、その上に積み重ねて実装するパッケージ2aの凹部4a(第2図参照)とを嵌め合わせる。

そして、下方のパッケージ2aの上面に位置する外部リード5aとその上方に積み重ねるパッケージ2aの裏面に位置する外部リード5aとが確実に導通状態となるように上方のパッケージ2aを押し込み、半導体装置1aを配線基板12の実装面Aに対して垂直な方向に積み重ねる(第5図)。

この際、本実施例1では、半導体装置1a、1a同士を着脱自在の状態にしておくが、パッケージ2aの凸部3a、または凸部3aを嵌め込む凹部4aにエポキシ樹脂等の接着剤を塗布し、これらパッケージ2a、2a同士を接着し、半導体装置1a、1a同士を確実に固定しても良い。

(5)、上記(1)、(4)により、配線長が短くなるため、外来ノイズの影響を受けにくくなり、信頼性の高い信号の授受が可能となる。

#### 〔実施例2〕

第6図は本発明の他の実施例を示す半導体装置のパッケージ外観を示す斜視図、第7図は第6図で示した半導体装置の積み重ね状態を示す斜視図、第8図は第6図で示した半導体装置を配線基板上に実装した状態を示す斜視図である。

第6図に示すように、本実施例2の半導体装置1bは、パッケージ2bの上面の一部に四角柱状の凸部3bが形成され、かつパッケージ2bの裏面に凹部4bが形成された樹脂モールド形のパッケージ構造となっている。

凸部3bには、コ字状に折曲した複数の外部リード5bが、パッケージ2bの長手方向に並設されている。そして、外部リード5bの一端は、パッケージ2bの上面に形成された溝部6bにより保持されている。

パッケージ2bの上面の四隅には、小凸部3c

このように本実施例1によれば、以下の効果を得ることができる。

(1)、パッケージ2a、2aを密着した状態で半導体装置1a、1a同士を導通することができるため、半導体装置1a、1a間の間隔が短くなり、実装密度を高密度化することができる。

(2)、半導体装置1aを配線基板12の実装面Aに対して水平な方向に実装するのみならず、実装面Aに対して垂直な方向に積み重ね実装することができるため、従来と同じ実装面積であっても、従来よりも多くの半導体装置1aを実装することが可能となる。

(3)、積み重ねた複数の半導体装置1a同士を着脱自在の状態に固定しておけば、故障した半導体装置1aのみを取り替えたり、半導体装置1aの着脱により回路機能や記憶容量等を適宜変えたりすることが可能となる。

(4)、上記(1)により、各パッケージ2a、2a間の配線長が従来技術に比べて短くなるため、信号の伝達速度を高速にすることが可能となる。

が形成されており、これと同一形状のパッケージ構造の他の半導体装置1bを積み重ねた際、その固定度を高め、かつ接続される外部リード5bの位置がずれてしまうことを防止する構造となっている。

一方、凹部4bにおける一側面には、複数の外部リード5bが、パッケージ2bの長手方向に沿って並設されている。

また、パッケージ2bの裏面の四隅には、パッケージ2b、2bを嵌め合わせた際、上記した小凸部3cを嵌め込むための小凹部4c(第10図)が形成されている。

なお、凸部3bの一端には、複数の半導体装置1b、1b同士を積み重ねる際、極性等を間違えないようにするために目印Mが刻設されている。

本実施例2においても第7図に示すようにパッケージ2b、2bの凸部3bと凹部4bとを嵌合し、これらパッケージ2b、2bを固定して半導体装置1b、1b同士を積み重ねることが可能な構造となっている。そして、凸部3bと凹部4b

に形成された外部リード5b、5bが電氣的に接続される構造となっている。

ところで、このようなパッケージ構造の半導体装置1bを配線基板12に実装するには、第8図に示すように、例えば予め配線基板12上にソケット14aを接続しておき、このソケット14aに半導体装置1bを実装する。

ソケット14aは、断面凸状となっており、その凸状部15の形状や寸法は、上記したパッケージ2bの凹部4bと嵌合した際、パッケージ2bを固定できるように設計されている。ソケット14aの凸状部15の一側面には、パッケージ2bを嵌合した際、パッケージ2bの凹部4bに形成された外部リード5bと電氣的な導通を取るための複数の接触子16が並設されている。接触子16は、パッケージ2bを嵌合した際、窪み部17の方向に押されるため、凹部4bに形成された外部リード5b(第6図参照)を押さえる方向に付勢される。なお、接触子16は、42アロイ等からなりその表面に金等のメッキが施されている。

とともに、これと嵌合するパッケージ面に凸部に対応する複数の凹部を形成しても良い。

また、前記実施例1、2においては、凸部を四角柱状とした場合について説明したが、これに限定されるものではなく、例えば第9図に示すように半導体装置1cを構成するパッケージ2cの上面の一部にテーパ状の凸部3dを形成しても良い。

また、前記実施例2においては、半導体装置を配線基板に実装する際、予め配線基板にパッケージの凹部用のソケットを実装した場合について説明したが、これに限定されるものではなく、例えば第10図に示すように、ソケット14bに凹状の挿入部19を設け、この挿入部19にパッケージ2bの凸部3bを嵌合し、半導体装置1bを配線基板12上に実装しても良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である樹脂モールド形のパッケージを備える半導体装置に適用した場合について説明したが、これに限定されず種々適用可能であり、例えばセラミック形のバ

また、ソケット14aの肩部に形成された小凸状部18は、パッケージ2bの裏面の四隅に形成された小凹部4c(第10図)に嵌め合わせるための突起部である。

なお、半導体装置1bの積み重ね方法は、実施例1と同じである。

本実施例2によれば、実施例1の(1)～(5)の効果の他に、複数の半導体装置1bを配線基板12の実装面に対して垂直な方向に実装した際、最下方の半導体装置1bも自由に置き換えることができる効果がある。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1、2に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、前記実施例1においては、一つのパッケージの面に一つの凸部を形成した場合について説明したが、これに限定されるものではなく、例えば一つのパッケージ面に複数の凸部を形成する

パッケージを備える半導体装置に適用しても良い。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、第1に、複数の半導体装置を、各半導体装置を構成するパッケージ同士を密着した状態で導通することができるため、半導体装置間の間隔が短くなり、実装密度を向上させることが可能となる。

第2に、半導体装置の着脱が可能になるため、故障した半導体装置のみを取り替えたり、半導体装置の着脱により回路機能や記憶容量等を適宜変えたりすることが可能となる。

第3に、半導体装置の実装が配線基板の実装面に対して水平な方向のみならず、実装面に対して垂直な方向に展開されるため、従来と同じ実装面積であっても従来より多くの半導体装置を実装することが可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置の  
パッケージ外観を示す斜視図、

第2図は第1図のII-II線断面図、

第3図はこの半導体装置を複数積み重ねた状態  
を示す断面図、

第4図はこの半導体装置を配線基板上に実装し  
た状態を示す斜視図、

第5図は配線基板上における半導体装置の積み  
重ね状態を示す斜視図、

第6図は本発明の他の実施例を示す半導体装置  
のパッケージ外観を示す斜視図、

第7図は第6図に示した半導体装置の積み重ね  
状態を示す斜視図、

第8図は第6図に示した半導体装置を配線基板  
上に実装した状態を示す斜視図、

第9図は実施例のさらに他の実施例である半導  
体装置のパッケージ外観を示す斜視図、

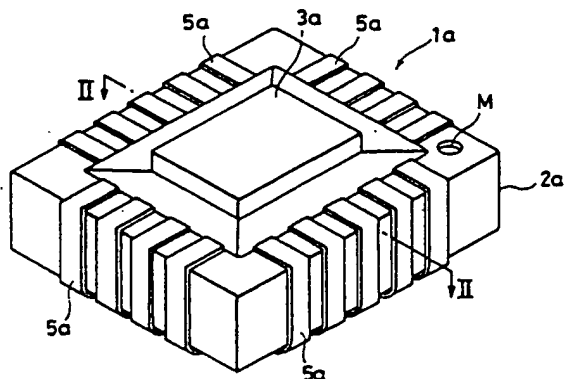
第10図は実施例2で示したコネクタの変形例  
を示す斜視図である。

1 a, 1 b, 1 c . . . 半導体装置、2 a, 2

b, 2 c . . . パッケージ、3 a, 3 b, 3 d .  
. . . 凸部、3 c . . . 小凸部、4 a, 4 b . . .  
凹部、4 c . . . 小凹部、5 a, 5 b . . . 外部  
リード（外部端子）、6 a, 6 b . . . 溝部、7  
. . . 内部リード、8 . . . ボンディングワイヤ、  
9 . . . 半導体チップ、10 . . . 接合剤、11  
. . . ダイパッド、12 . . . 配線基板、13 .  
. . . ランド、14 a, 14 b . . . ソケット、1  
5 . . . 凸状部、16 . . . 接触子、17 . . .  
窪み部、18 . . . 小凸状部、19 . . . 挿入部、  
A . . . 実装面、M . . . 目印。

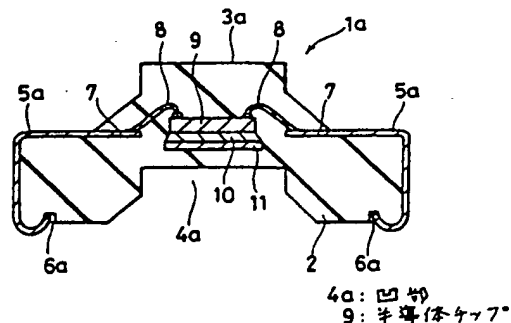
代理人 弁理士 筒井大和

第 1 図



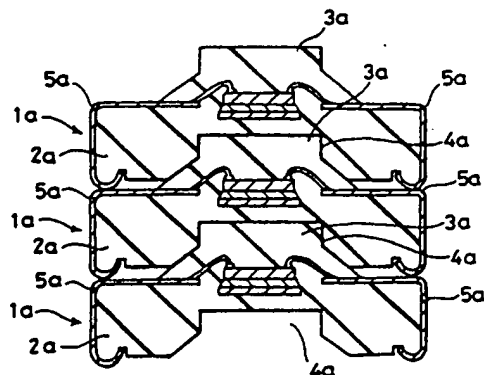
1a: 半導体装置  
2a: パッケージ  
3a: 凸部  
5a: 外部リード（外部端子）

第 2 図

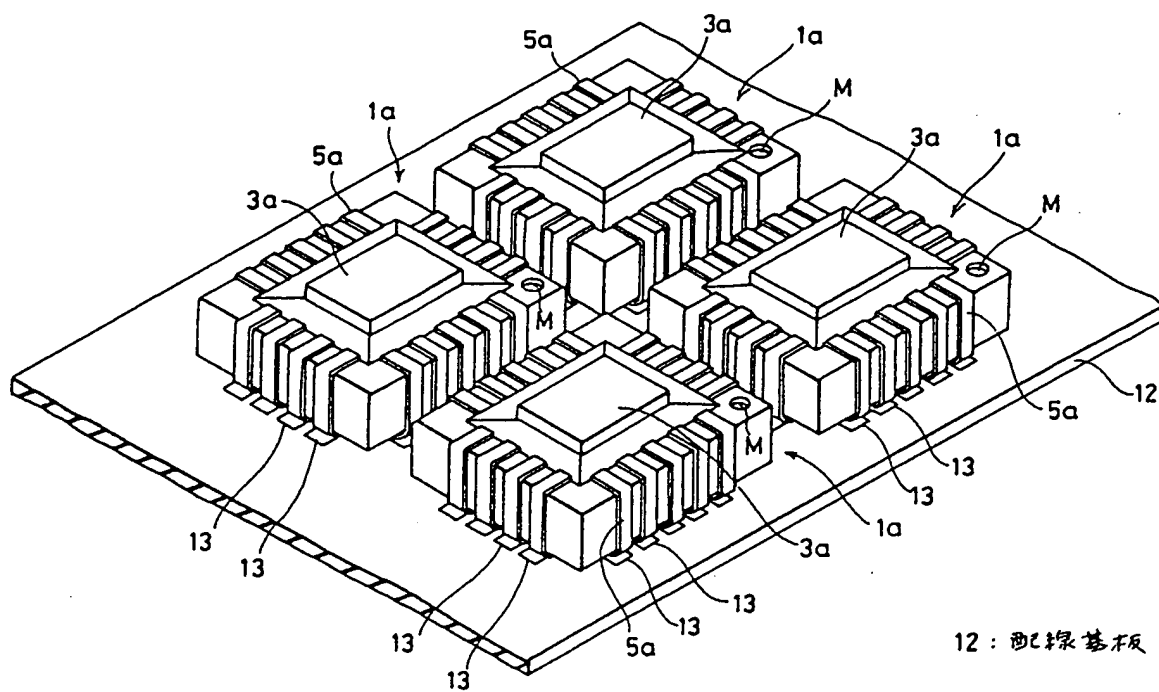


4a: 凹部  
9: 半導体チップ

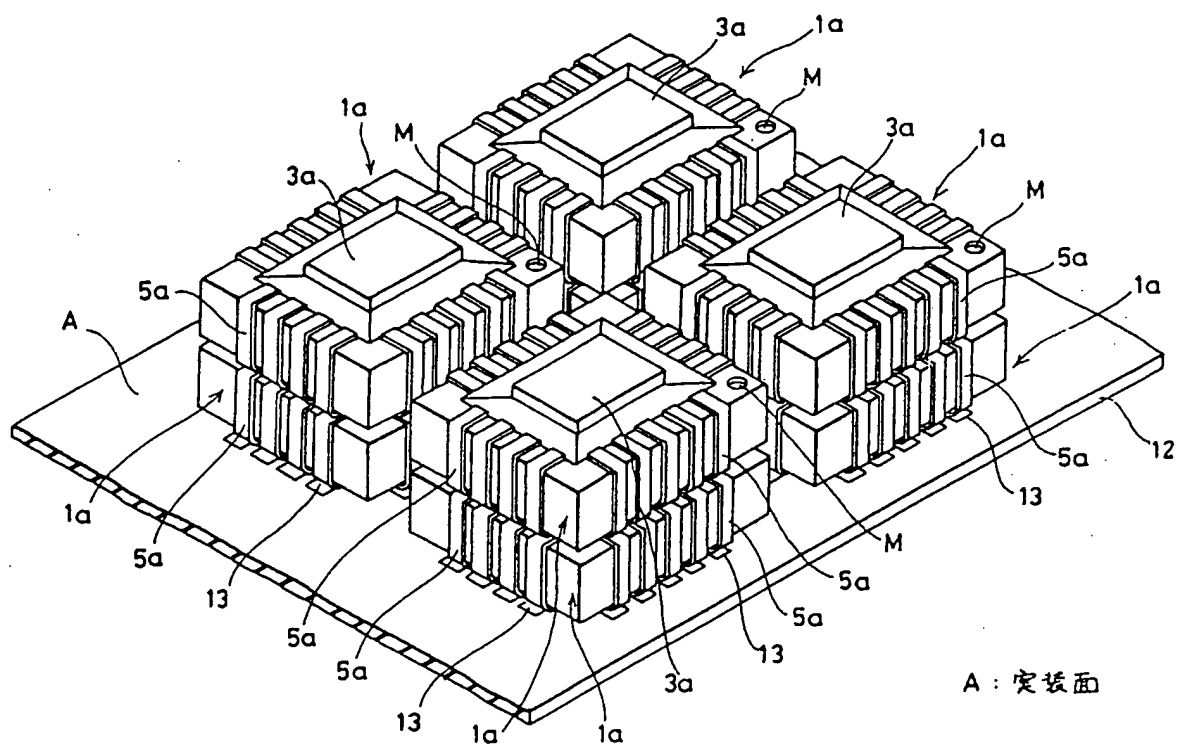
第 3 図



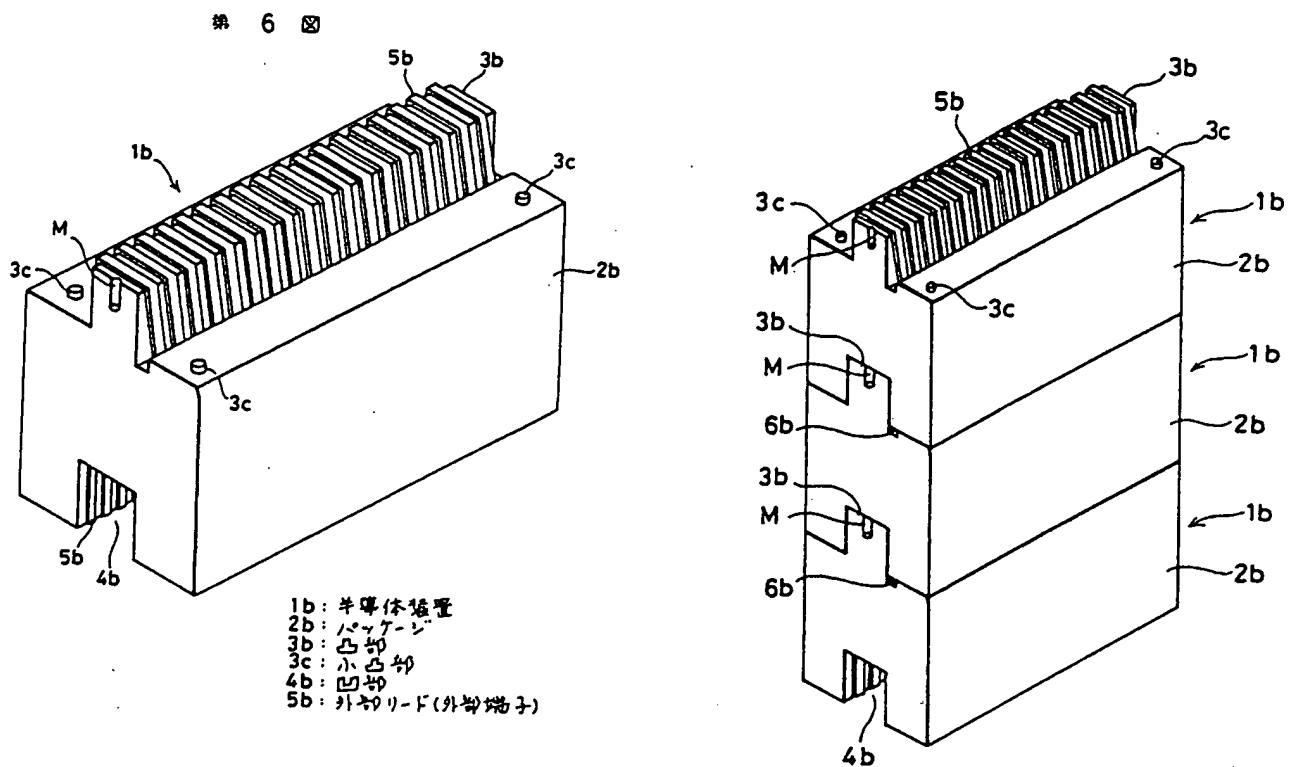
第 4 図



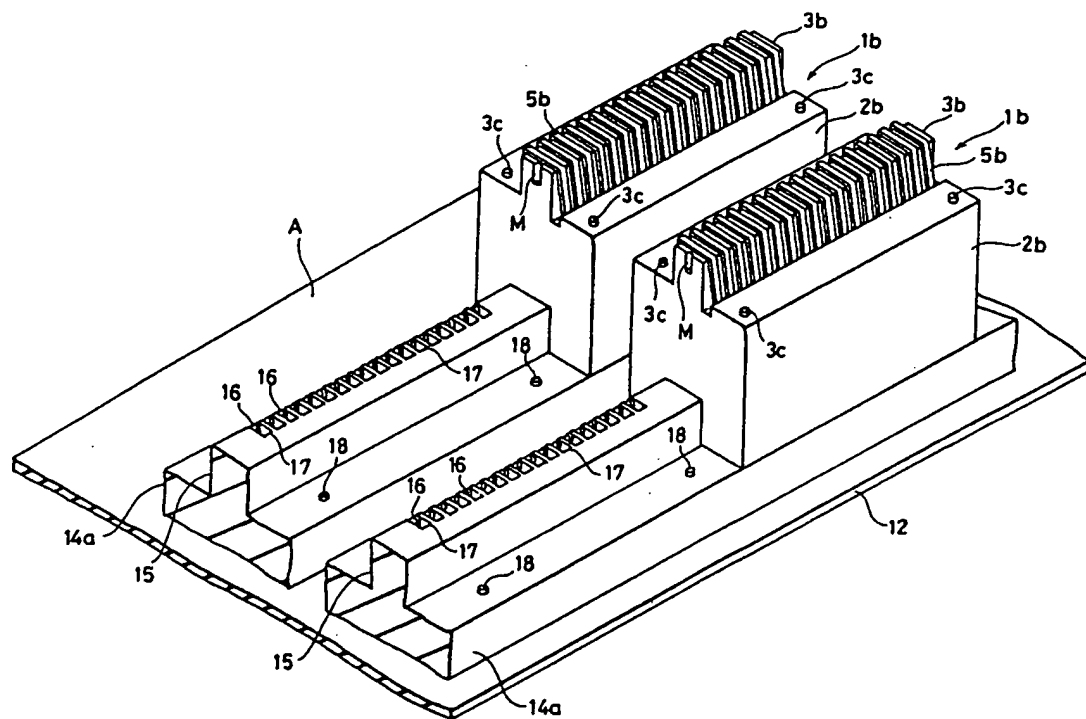
第 5 図



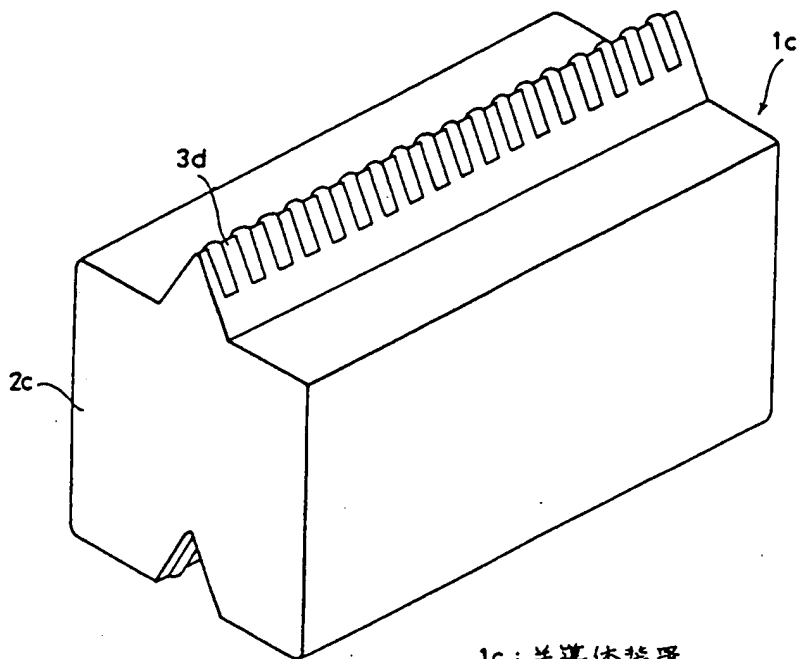
第 7 図



第 8 図

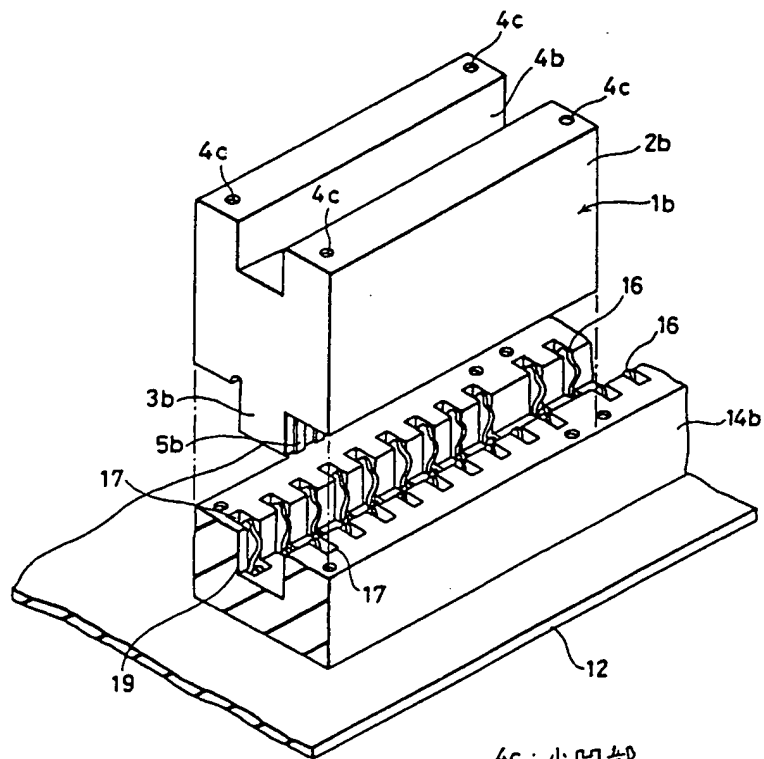


第 9 図



1c: 半導体装置  
2c: パッケージ  
3d: 凸部

第 10 図



4c: 小凹部

第1頁の続き

⑤Int. Cl.<sup>8</sup>

H 01 L 23/50  
25/11  
25/18

識別記号

R

庁内整理番号

7735-5F

⑦発明者 野坂

寿雄

東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイ・エンジニアリング株式会社内

⑦発明者 中村

英明

東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイ・エンジニアリング株式会社内